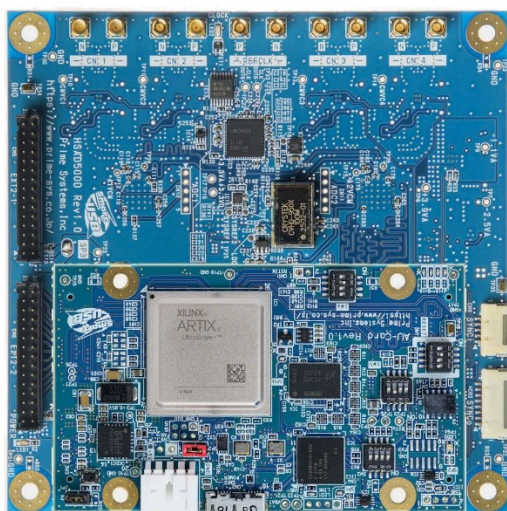


概要

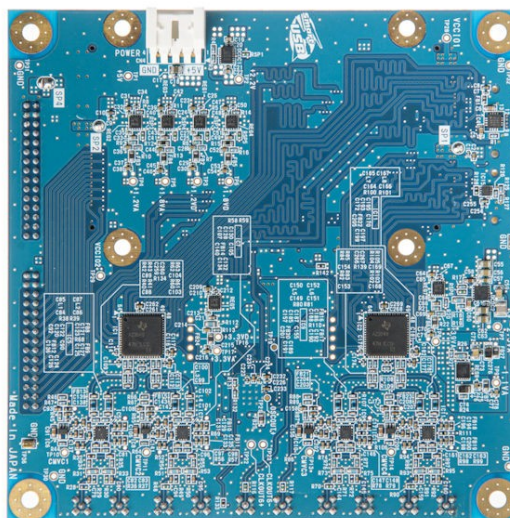
HSAD500D 高速 AD 変換ボードは、AU-Card、SX-Card7、AX-Card7 向けのオプションボードとして設計された、500MSps・14bit・4ch 同時サンプリング対応の高性能 AD 変換モジュールです。

AD コンバータと FPGA は最大 1Gbps の LVDS (SERDES) で接続され、シグナルインテグリティを確保しながら高速データを実際に取り込みます。さらに、低ジッタクロックにより ADC 本来の性能を損なうことなく、高精度なサンプリングを実現します。

取得した高精度データは、FPGA による高速信号処理、外部メモリへの保存、USB 3.0 経由で PC へ高速転送してファイル化するなど、柔軟なデジタル処理が可能です。高速計測・レーダー・超音波・RF 信号処理など、幅広い高速データ収集システムの構築に活用できます。



<HSAD500D + AU-Card 外観>



<HSAD500D 裏面外観>

特長

✓ 各種アナログ仕様に応じたAD変換システムの構築

- AC/D C 結合両方に対応、ゲイン設定（最大ゲイン=4）を切り替えて、柔軟な運用ができます。

✓ 最大500MSps、分解能14bit、4ch同時サンプリング

- FPGAでは1サンプル16ビットデータとして効率よく扱えます。

✓ FPGAのデータ処理を軽減

- ADコンバータ内蔵のデジタルダウンコンバータ機能により、必要なデータ数を減じてFPGA側でのデータ処理を軽減します。

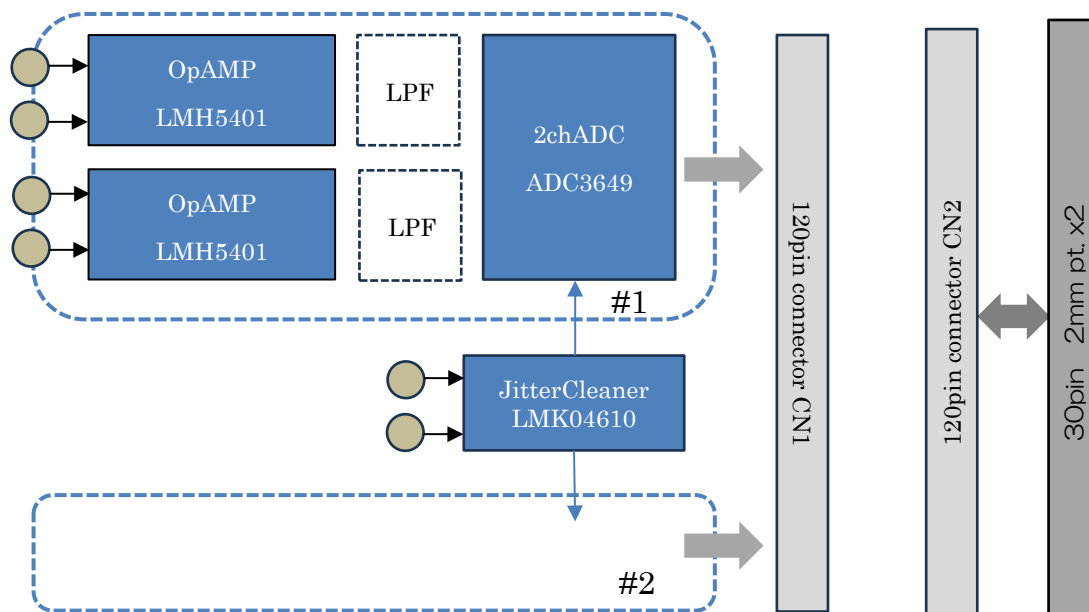
✓ 最大1GbpsのLVDSでFPGAとインターフェース

- アナログ4ch分を28bitパラレルDDR-LVDS、または16レーン以下のシリアルLVDSでFPGAとIFします。

✓汎用 I/O ポート

- FPGA の使用可能なI/O ピン最大52本を30pinコネクタ2個に収容し、外部機器とのIFができます。

ハードウェア仕様



<図 1. ボードブロック図>

1. アナログフロントエンド部

✓ LMH5401 (MMCX コネクタ)

シングルエンド/差動対応、AC/DC 結合切替、入カインピーダンス 50Ω※(デフォルト)、最大入力振幅:2Vpp。
製品出荷時、シングルエンド、50Ωインピーダンス、AC 結合、最大入力 2Vpp 設定です。

LMH5401 周辺の抵抗値を変更することで、ゲイン 1 (出荷時設定) からゲイン 4 まで対応します。ゲイン 4 設定時、最大入力振幅は 500mVpp になります。

※抵抗値を変更することで、入カインピーダンスを調整可能。

LMH5401 と ADC 間には、3 次ローパスフィルタ ($F_c \approx 220\text{MHz}$) を配置していますが、遮断周波数の変更や、フィルタのキャンセルも可能です。

※ 設定の変更には、チップ抵抗、チップコンデンサの付替えが必要です。

2. AD コンバータ部

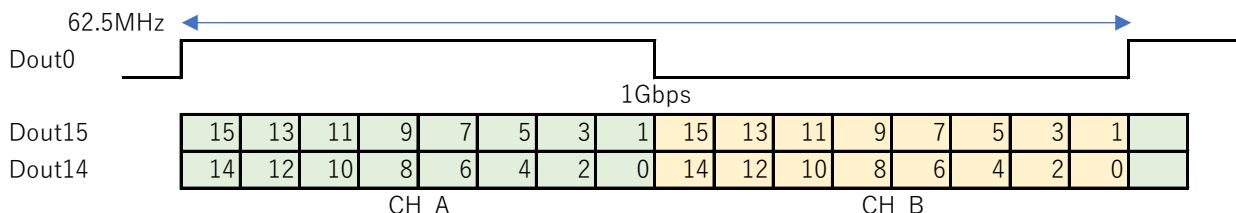
TI 社の 14bit 2ch 同時サンプリング最新 AD コンバータ IC (ADC3649) を 2 個搭載して 4ch 同時サンプリングを実現します。FPGA とは LVDS (SERDES) により IF します。デジタルダウンコンバータ (DDC) 機能を内蔵し、デシメーション数により LVDS-IF が変化します。DDC をバイパスする場合、1 個の ADC は LVDS データ 14 レーンを使いパラレル出力します。1 クロック 2 サンプルです。※パラレル LVDS でも FPGA では SERDES 回路を使用します。

デシメーションする場合、その係数により 1 レーンから 8 レーンまで有効数の変化する SERDES 出力になり、1 サン

ブル 16bit で扱います。デシメーション設定が大きければ、1 サンプル 32bit の場合もあります。（※分解能は 14bit です。）

〈設定例 1〉

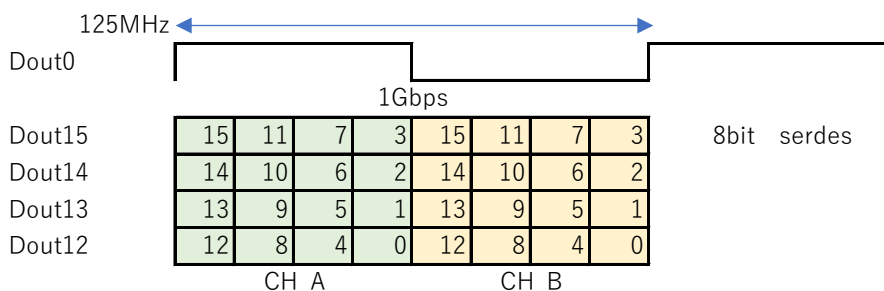
サンプリング 500MHz、実数デシメーション 8 の場合、出力帯域は 25MHz になる。このときの LVDS-IF は、フレームクロック 62.5MHz、ADC1 個（2ch）あたり、16bit SERDES 2 レーン（1Gbps）により 2 サンプルが得られます。



＜図 2. ADC1 個あたりの SERDES 出力、2 レーン、16bit SERDES＞

〈設定例 2〉

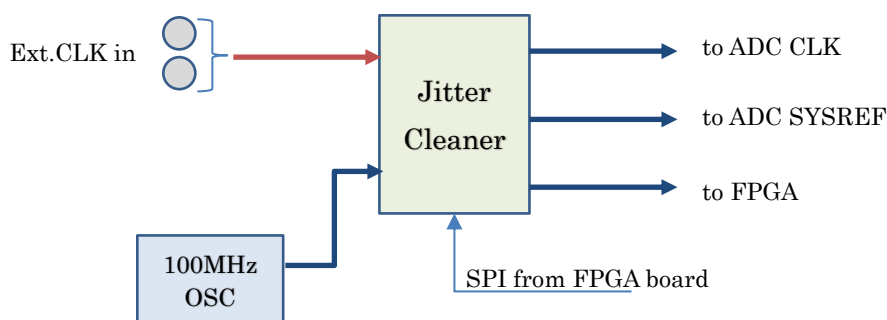
サンプリング 500MHz、実数デシメーション 4 の場合、出力帯域が 50MHz になる。このときの LVDS-IF は、フレームクロック 125MHz、ADC1 個（2ch）あたり、8bit SERDES 4 レーン（1Gbps）になります。



＜図 2. ADC1 個あたりの SERDES 出力、4 レーン、8bit SERDES＞

3. クロックジェネレータ

TI 社 LMK04610 を採用した低ジッタクロックジェネレータ IC です。FPGA と AD コンバータ IC にサンプリング・クロックとチップ間同期化用 SYSREF 信号を供給します。FPGA ボードから SPI により制御し、任意の AD サンプリングクロックと SYSREF 信号を生成・供給できます（製品出荷時設定は 500MHz）。FPGA にも ADC と同じサンプリングクロックや任意のクロックを供給できます。



＜図 3. クロック系ブロック図＞

4. AU-Card/SX-Card7/AX-Card7 との接続

メザニンコネクタ CN1 で FPGA ボードと接続します。AU-Card ボード側の I/O 電圧は 1.8V、SX-Card7/AX-Card7 ボードでは 2.5V 設定になります。サンプル FPGA プロジェクトでは、DDC バイパスの平行 14bit LVDS-IF 設定です。LVDS データレートは 1Gbps です。

接続可能なボード一覧；

[AU-Card/25E1](#)、[SX-Card7/75C2](#)、[AX-Card7/100C2](#)、[AX-Card7/200C2](#)

※AX-Card7/35C2、AU-Card/15E1 とは I/O 不足のため接続できません。

5. 外部接続用コネクタ

(2.00mm pt. 30pin コネクタ)

AU-Card/SX-Card7/AX-Card7 システム開発ボードの CN2 に収容する I/O ピン (52 本) を CN5,6 に直結しています。シングルエンドまたは差動設定での運用が可能です。製品出荷時にはヒロセ電機 DF11 シリーズコネクタを実装しています。

※差動 (LVDS) 設定の場合、AX-Card7/SX-Card7 の場合は、I/O 電圧を 2.5V に設定してください。AU-Card の場合は LVDS 設定できません。

外部電源とケーブル接続する場合には、以下の部品が利用できます。

ソケット：DF11-30DS-2C

圧着端子 (例)：DF11-2428SC

6. 電源ポート

HSAD500D ボードに電源ポート (molex 製 53426-0410) があります。通常、FPGA ボード側の 5V 電源を CN1/CN2 経由で受電して動作します。AD ボード側と FPGA ボード側で 5V 電源を分けたい場合には、HSAD500D 側でソルダパターン SP1 と SP2 を同時に切り替えてそれぞれ給電可能です。

ボード仕様

アナログ入力ポート 4ch 50Ωインピーダンス 220MHz 以下	MMCX (Single) AC 結合	最大 2Vpp (製品出荷時)
	MMCX (Diff.) AC 結合	最大 2Vpp
	MMCX (Single) DC 結合	DC1V を中心に最大 2Vpp または 0~1V
	MMCX (Diff.) DC 結合	VCM=1.4V を中心に P/N それぞれ最大 1Vpp
外部クロック入力ポート	MMCX (LVDS 仕様)	入力 1ch
基板サイズ、重量	110 x 110(mm) 、65g	6 層 鉛フリー仕様
電源電圧	単一 +5.0V (±5%)	
消費電流	ボード単体 (アイドル状態) の場合； Typ. 860mA/5V SX-Card7/75C2 と組み合わせ、サンプルプロジェクト (DDC バイパス) をコンフィグし、2ch 有効の場合； Typ.1.8A/5V	

<表 1. 主な仕様一覧>

製品モデル構成

製品名 : 4ch 高速 AD 変換ボード

製品型番 : HSAD500D (標準在庫)

添付品

✓ FPGAサンプル回路、ボード回路図、寸法図、マニュアル

HSAD500Dボードはすべて鉛フリー仕様で国内製造しています。ボード上のハンダによるショートパターンなどを変更する際には、鉛フリー対応の機器をご使用ください。

お問い合わせ

開発製造販売元

有限会社プライムシステムズ TEL:0266-70-1171

E-mail: info@prime-sys.co.jp URL <https://www.prime-sys.co.jp>