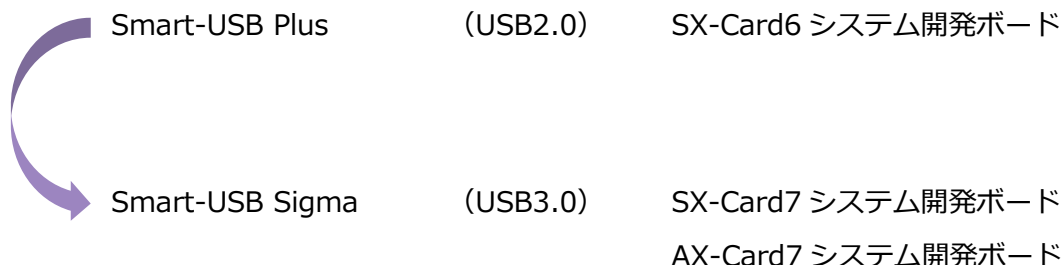
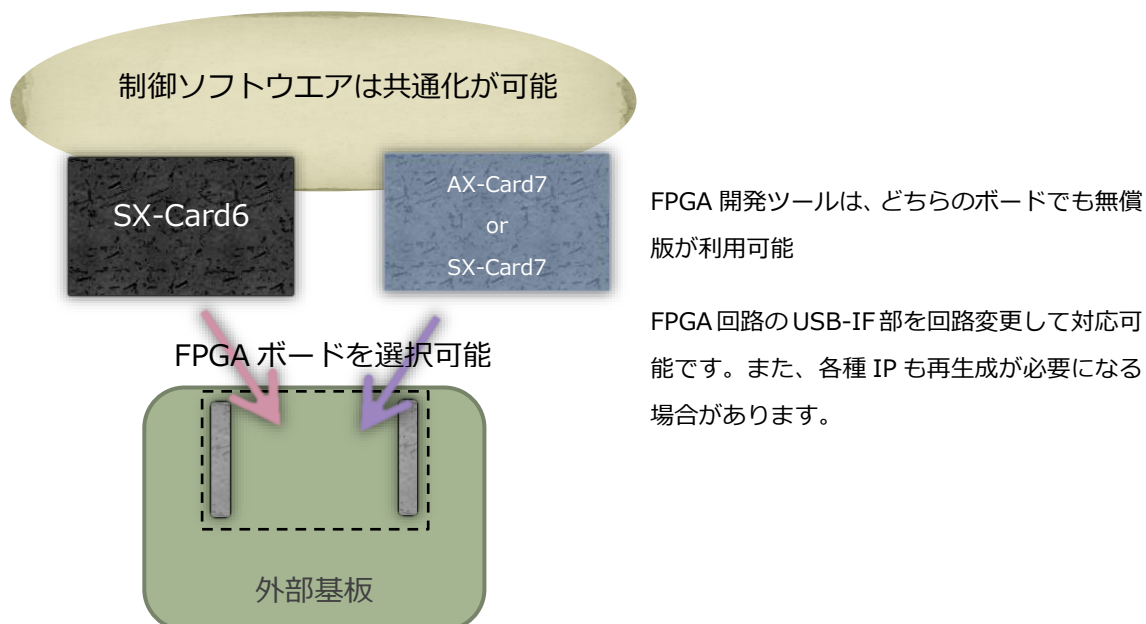


## SX-Card6 から AX-Card7/SX-Card7 へのマイグレーション



USB2.0 対応の SX-Card6 システム開発ボードと接続していた外部基板を変更せずに、USB3.0 対応の SX-Card7・AX-Card7 システム開発ボードに変更することができます。ユーザ I/O を収容するコネクタピンアサインを工夫することにより、USB データ転送レートを向上したい場合や FPGA 回路の機能向上など、様々な状況に応じて FPGA ボードを選択可能です。

また、SX-Card6/75C3 からの移行時、コネクタピンアサインに問題がなく、FPGA サイズが AX-Card7/35C2（価格 92,000）で間に合うことが判明したなら、システムのコストダウンが可能です。SX-Card6 用の制御ソフトウェアは、AX-Card7/SX-Card7 でもそのまま動作します。



## 基板サイズとコネクタ配置

基板サイズは共通です : W91 x H55 (mm)

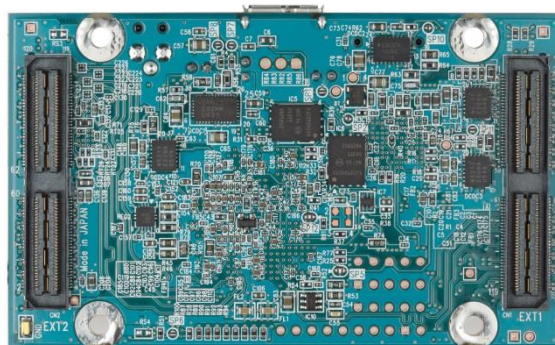
ユーザ I/O コネクタの配置寸法と電源ピン、基板固定用のとめ穴が同一です。

SX-Card6 で使用していた外部接続基板に、物理的に AX-Card7/SX-Card7 を接続することができます。

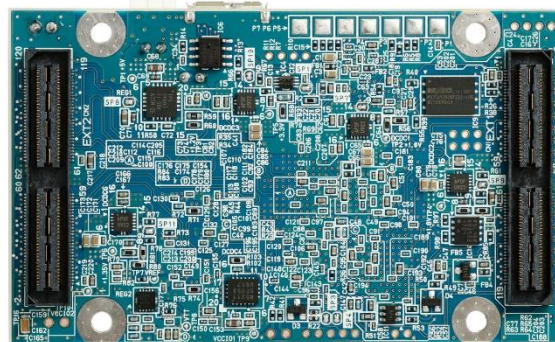
例 : SX-Card6 オプションボードとして提供していた「Card-UNIV2」コネクタ変換ボードや 8ch 16bitAD 変換ボード「ADD-16B8」、8ch 24bit AD 変換ボード「ADD-24B8」等を AX-Card7/SX-Card7 でも利用できます。



< SX-Card6 コネクタ面 >



< AX-Card7 コネクタ面 >



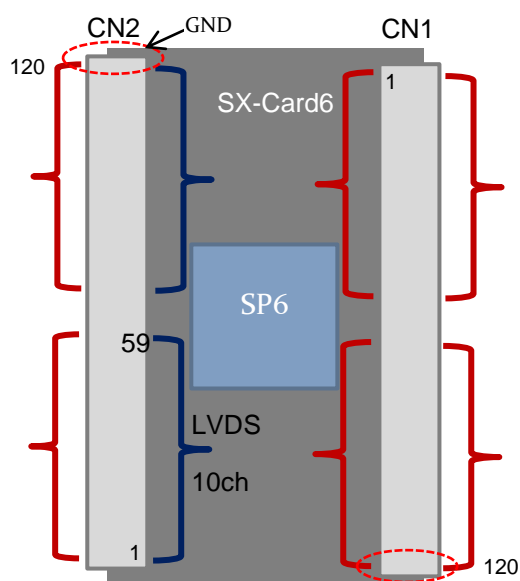
< SX-Card7 コネクタ面 >

## コネクタピン収容

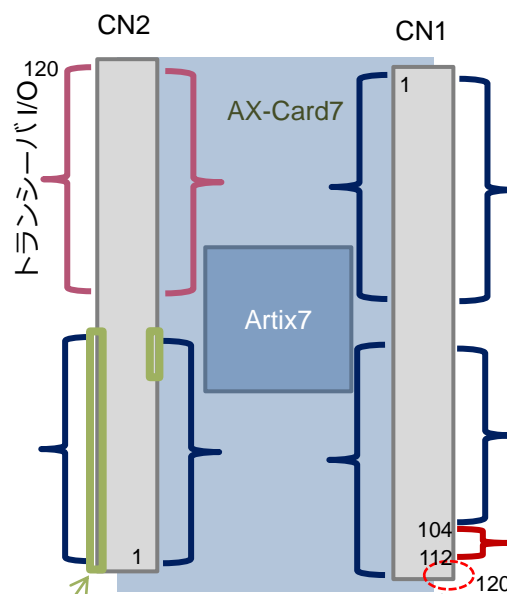
2つの 120pin メザニンコネクタに FPGA の I/O ピンと電源ピン (IO バンクと共通の電源と 5V 電源 / GND) を収容しています。電源ピンは 3 機種 (SX-Card6/AX-Card7/SX-Card7) 共通です。

SX-Card6 → 200 I/O ピン。この内、差動信号として最大 23ch を構成可能。

AX-Card7 → 152 I/O ピン。この内、差動信号として最大 74ch を構成可能。



この部分、GND ピンと信号ピンの配置が異なり、AX-Card7 では 2 本の信号線が使えなくなる



AX-Card7/35C2 の場合 30 ピン分が N.C.

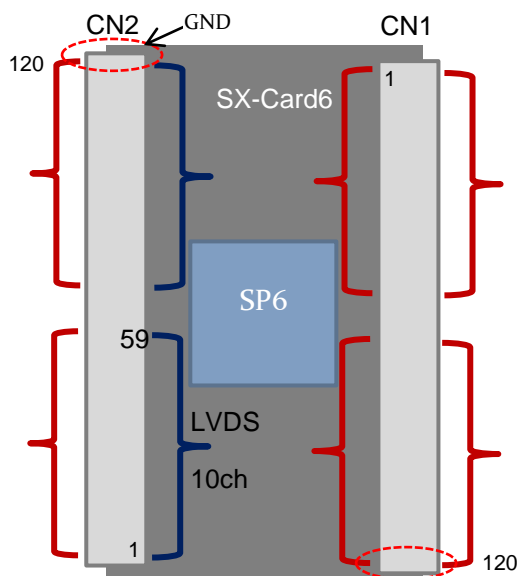
AD 専用入力ピンをアサイン

※赤線：シングルエンド専用、青線：差動設定可能

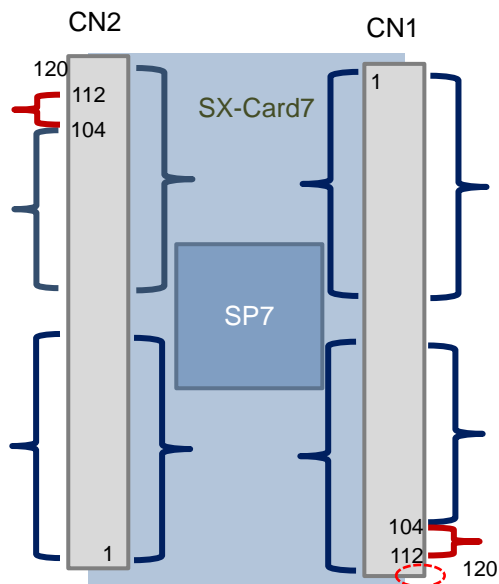
SX-Card6 と接続していた外部基板に、AX-Card7 を接続する場合、利用できるシングルエンド I/O 数の最大は 150 本です。LVDS 設定には、CN2 の 1~59 ピン (奇数番) を使います。

SX-Card6 → 200 I/O ピン。この内、差動信号として最大 23ch を構成可能。

SX-Card7 → 200 I/O ピン。この内、差動信号として最大 96ch を構成可能。



この部分、GND ピンと  
信号ピンの配置が異なり、  
SX-Card7 では 2 本の信  
号線が使えなくなる



AD 専用入力ピンを  
アサイン

※赤線：シングルエンド専用、青線：差動設定可能

SX-Card6 と接続していた外部基板に、SX-Card7 を接続する場合、利用できるシングルエンド I/O 数の最大は 196 本です。LVDS 設定には、CN2 の 1~59 ピン（奇数番）を使います。



## 部品構成

### FPGA

**SX-Card6** → Spartan6 XC6SLX75-**3**FGG676C または XC6SLX150-**3**FGG676C

ISE14.7 (含む Plan ahead、Web edition 対応) で開発

(XC6SLX150 は有償ツールが必須)

DDR LVDS 性能 1080Mbps

BRAM アクセス性能 320MHz (Fmax)

**AX-Card7** → Artix-7 XC7A35T-**2**FGG484C または XC7A100T-**2**FGG484C

Vivado で開発 (Web edition に対応)

DDR LVDS 性能 1250Mbps

BRAM アクセス性能 418MHz (Fmax)

**SX-Card7** → Spartan-7 XC7S75T-**2**FGG484C

Vivado で開発 (Web edition に対応)

DDR LVDS 性能 1250Mbps

BRAM アクセス性能 365MHz (Fmax)

FPGA デバイス規模は、以下の通りです。

AX-Card7/35C2 < SX-Card6/75C3 < SX-Card7/75C2 < AX-Card7/100C2

### メモリ

**SX-Card6** → DDR2 1Gbit (128M x 8bit , 667Mbps)

**AX-Card7** → {  
 DDR3 4Gbit (512M x 8bit , 800Mbps)  
 E2PROM 2Kbit (SPI 128x16bit 2MHz)  
 FlashROM 128Mbit (QSPI 108MHz)

**SX-Card7** → {  
 DDR3 8Gbit (512M x 8bit , 800Mbps 2バンク)  
 FRAM 16Kbit (SPI 2K x 8bit 20MHz)

## コネクタピンアサインの違い

### コネクタ CN1

SX-Card6 から **AX-Card7** へ移行する場合： 1～113 ピンまですべて同一です。

CN1 ピン No.	SX-Card6	AX-Card7
<b>114</b>	I/O	N.C.
115	GND	I/O
116	GND	N.C.
117	I/O (クロック入力信号対応)	I/O
<b>118</b>	I/O (クロック出力信号対応)	XADC_VP (アナログ専用ピン)
119	GND	I/O
120	GND	XADC_VN (アナログ専用ピン)

SX-Card6 から **SX-Card7** へ移行する場合： 1～113 ピンまですべて同一です。

CN1 ピン No.	SX-Card6	SX-Card7
<b>114</b>	I/O	N.C.
115	GND	I/O
116	GND	N.C.
117	I/O (クロック入力信号対応)	I/O
<b>118</b>	I/O (クロック出力信号対応)	XADC_VP (アナログ専用ピン)
119	GND	I/O
120	GND	XADC_VN (アナログ専用ピン)

SX-Card6 で 114 ピンと 118 ピンを使用している場合、SX-Card6 と接続する基板側でのジャンパ敷設が必要になる場合があります。

## コネクタ CN2

### SX-Card6 から AX-Card7/35C2 へ移行する場合：

1～51 ピンまでの奇数番ピンが同一です。偶数番ピンは使えません（※電源ピンを除く）。

52 ピンから 120 ピンは使用できません（※電源ピンを除く）。

### SX-Card6 から AX-Card7/100C2 へ移行する場合：

1～60 ピンまで同一です。 61～120 ピンは使用できません（※電源ピンを除く）。

### SX-Card6 から SX-Card7 へ移行する場合： 1～113 ピンまですべて同一です。

CN2 ピン No.	SX-Card6	SX-Card7
<b>114</b>	I/O	N.C.
115	GND	I/O
116	GND	N.C.
117	I/O (クロック入力信号対応)	I/O
<b>118</b>	I/O (クロック出力信号対応)	N.C.
119	GND	I/O
120	GND	N.C.

## まとめ

**SX-Card6 から AX-Card7 に移行する場合**、CN2 のピンアサインを確認して下さい。AX-Card7 の場合、CN2 の半分はトランシーバ I/O なので利用できません。また、CN1 の 114、118 ピンを使用している基板回路では、修正が必要になります。

AX-Card7/35C2 の場合、CN1 98 本、CN2 22 本 計 120 本が利用できます。

AX-Card7/100C2 の場合、CN1 98 本、CN2 52 本 計 150 本が利用できます。

**SX-Card6 から SX-Card7 に移行する場合**、CN1 と CN2 それぞれ 114、118 ピン（計 4 本）のアサイン状態を確認して下さい。これらのピンを使用している基板回路では、修正が必要になります。