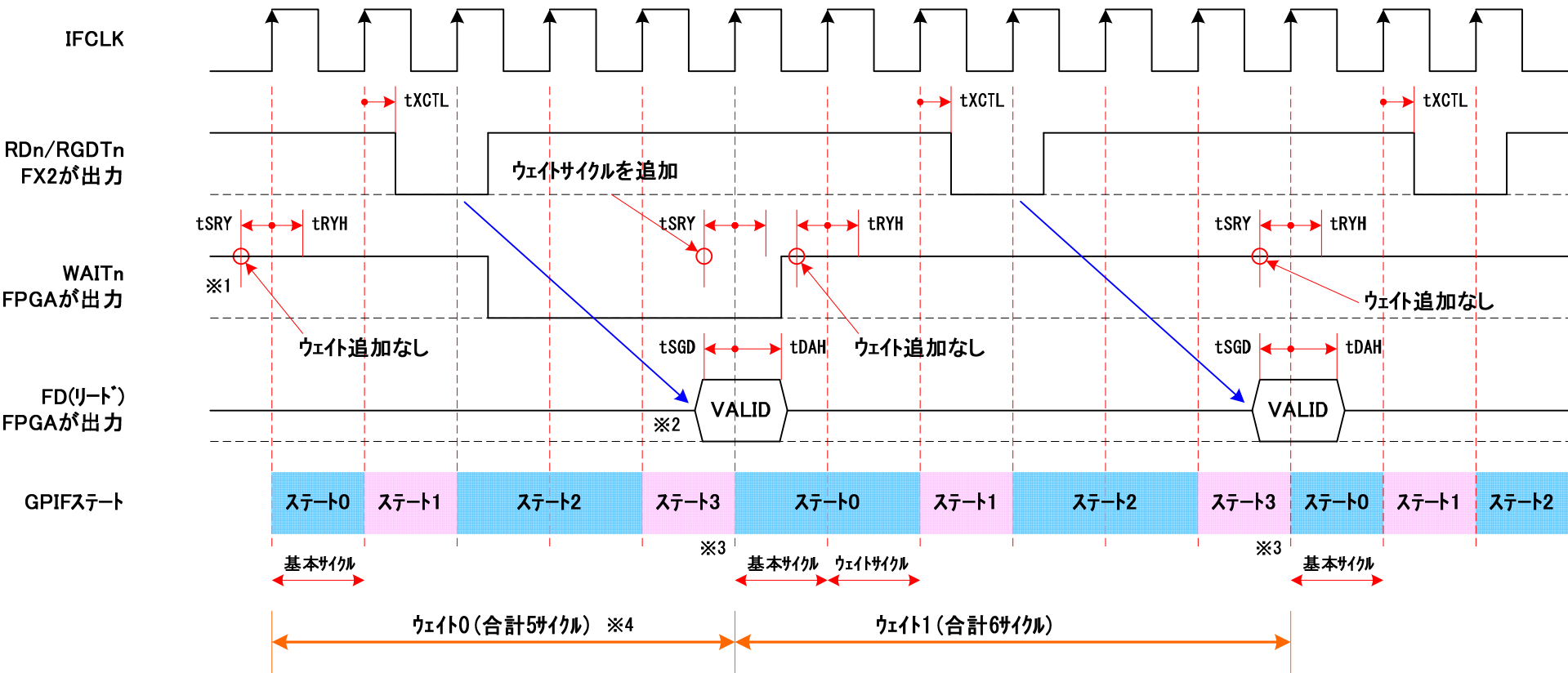


デフォルトのバーストモードとは異なる1ワード毎にWAITnをサンプルしてメモリリードを停止することができるモードのタイミングチャートです。
バーストモード/1ワードハンドシェイクモードは、ペンダリングリスト「GPIFメモリ転送タイミング 切替え (C3h)」で切り換える事が可能です。



- 注1) 最初のメモリリードストロブにウェイトサイクルを追加する場合には、メモリリード開始コマンドから10クロック程度でWAITnを「0」に確定させてください。
- 注2) データ出力は、RDn/RGDTnのストロブから3クロック目にFX2内のFIFOにラッチされます。
- 注3) FX2内部のFIFOがフルになるまでリードサイクルを繰り返されます。
- 注4) ウェイトサイクルが0の場合、1ワードリードは5サイクル必要です。
- 注5) ウェイトサイクルは無制限に追加可能ですが、デフォルト設定ではUSBバス上の無通信時間10秒間を超えるとメモリリードは中断されます。
CebSetTimeOut APIでタイムアウトの時間を変更できます。

パラメータテーブル

Parameter	Description	Min	Max
tXCTL	Clock to CTLx Output Propagation Delay		10.7
tSRY	RDYx to Clock Set-up Time	2.9	
tRYH	Clock to RDYx	3.7	
tSGD	GPIF Data to Clock Set-up Time	3.2	
tDAH	GPIF Data Hold Time	4.5	

※単位は全て[ns]

※タイミングは外部クロック動作時の値です。

※CYPRESS社「CY7C68013A」データシートより抜粋