



## LabVIEW 用リファレンス制御アプリケーション RefAppLV の使い方

### 【 概要 】

LabVIEW 開発ツールで設計したリファレンス制御アプリケーションです。LabVIEW を所有していないユーザ環境でも、インストーラを利用して RefAppLV.exe を利用することができます。

### 【 機能 】

1. 複数台ボード制御
2. USB コンフィグ機能
3. レジスタアクセス機能
4. 拡張レジスタアクセス機能
5. データアクセス機能
6. I2C 制御機能

### 【 対象製品 】

Smart-USB Plus 製品ファミリと USB2.0-IO ボード

注) USB2.0-IO ボードでは機能 2, 4, 5 は利用できません。

### 【 ダウンロード 】

ボードの基本操作を実現した LabVIEW 版リファレンス制御アプリケーションをダウンロードできます。

<http://www.prime-sys.co.jp/Download/RefApp7/RefAppLV.zip> (150MB) インストーラ

ソースコードは製品購入時に添付しています。製品購入前にソースコードを参照したい場合は、[お問い合わせ](#)下さい。

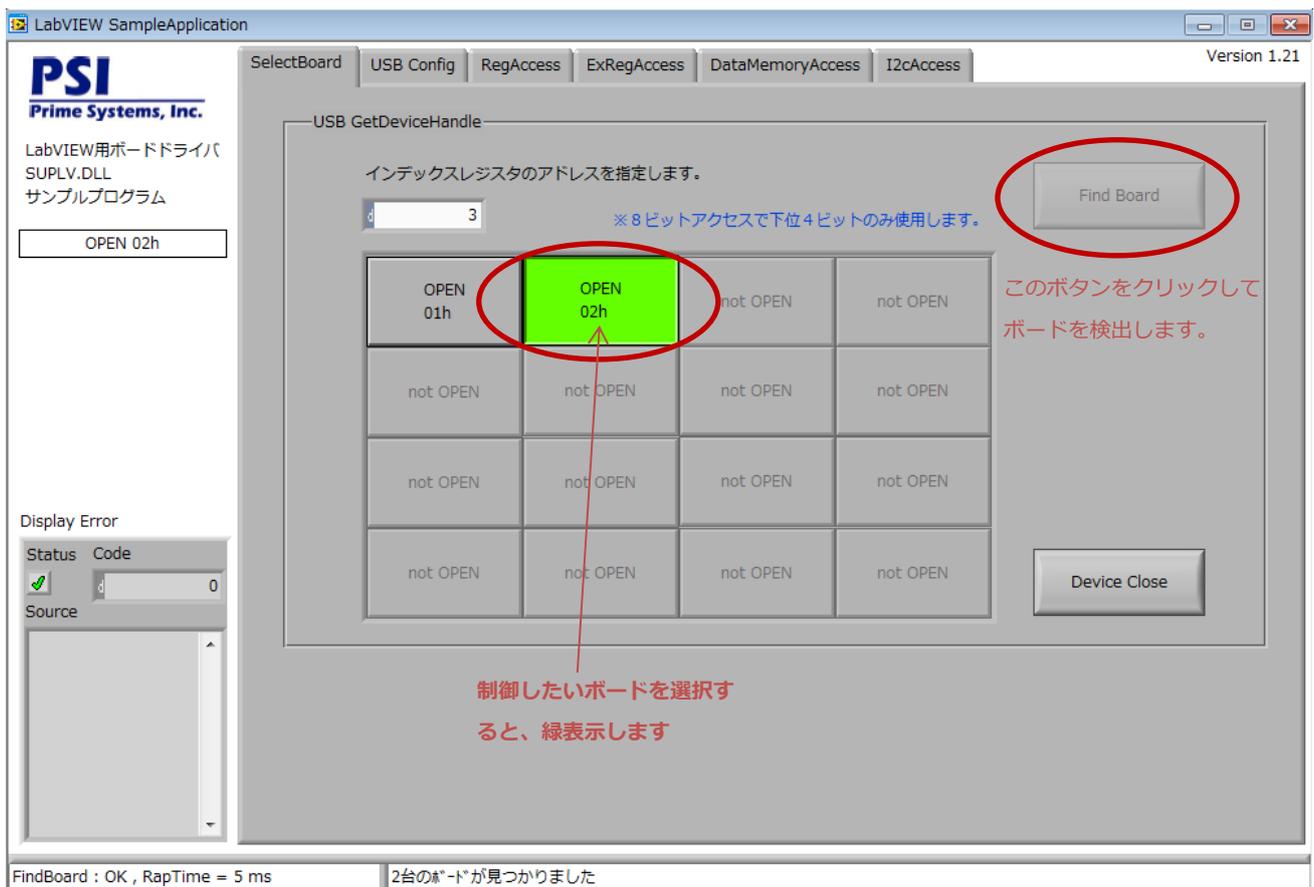
## 1. ボードの複数台制御

コンフィグ ROM から FPGA が起動できる場合を想定しています。FPGA 回路には、特定のレジスタアドレスにプリセットしたデータが必要です。

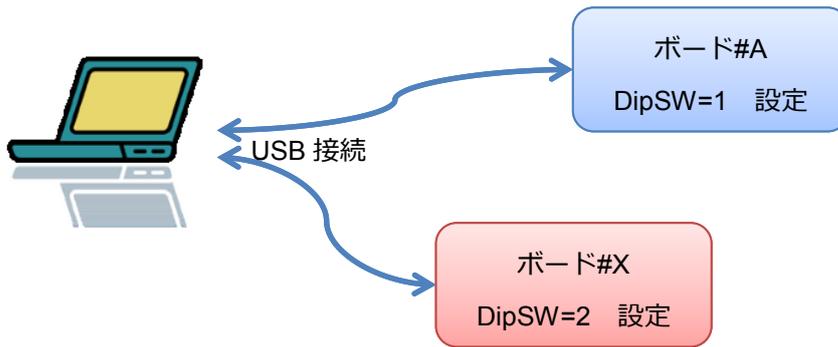
製品出荷時のサンプル FPGA 回路では、レジスタ No.3 を 8bit 幅に設定し、FPGA 外部の 4bit ディップスイッチの値を読み込めるようにしています。RefAppLV アプリでは、この値をボードのインデックス値として扱います。下図の例では、2 台の異なる型番のボードが PC に接続され、それぞれディップスイッチの値をレジスタ No.3 で読み取っています。

### 【手順】

1. PC とボードを USB ケーブルで接続します。
2. [ Find Board ] ボタンをクリックすると、PC に接続するすべてのボードをスキャンして、インデックスレジスタに指定したレジスタアドレス No.3 の内容を読み出します。
3. 制御したいボードをクリックすると、パネルが緑に変化します。これ以降、レジスタアクセスやメモリアccessの操作は、ここで指定したボードに対して行います。



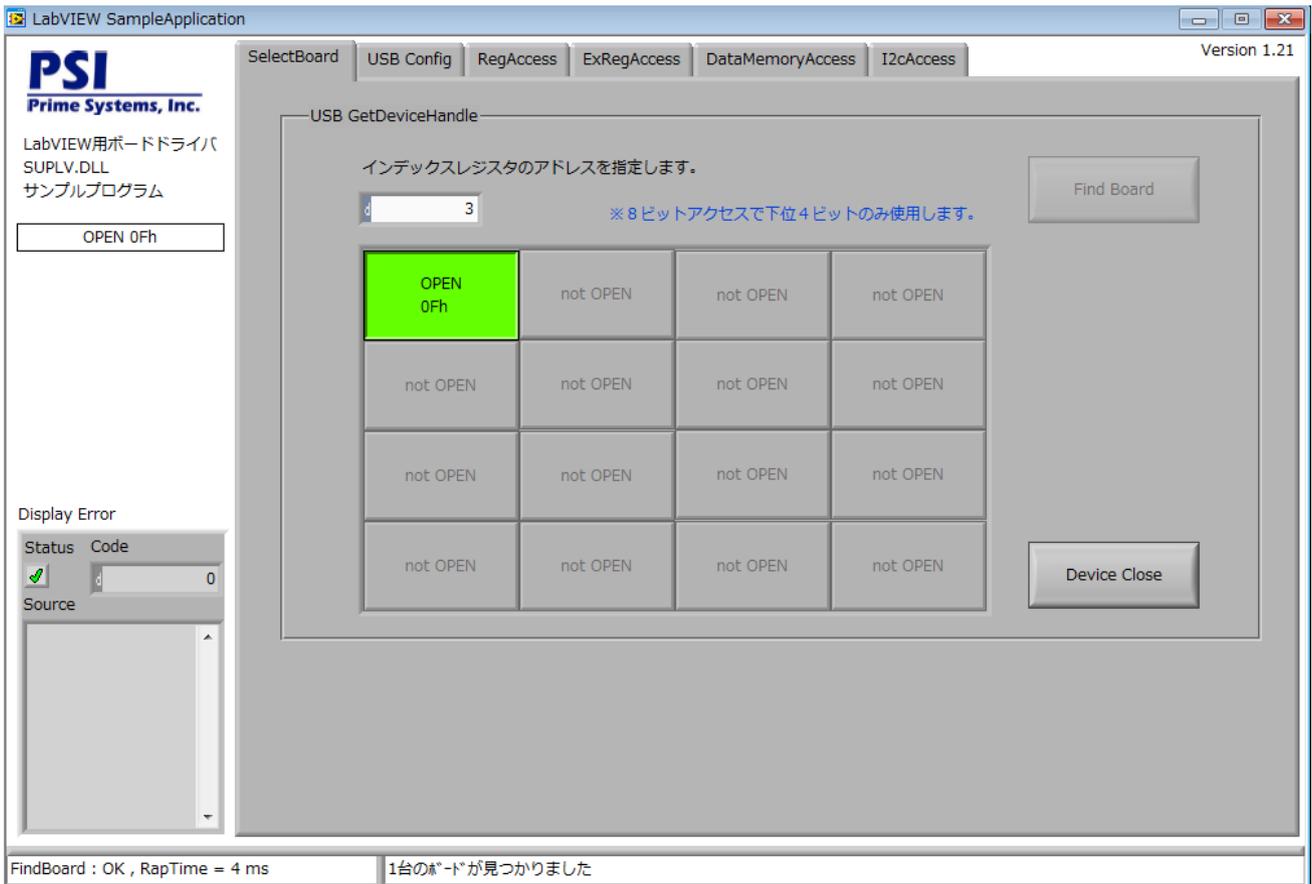
<図 1. ボードの複数台制御>



<図 2. ボードの複数台制御イメージ>

制御するボードが 1 台の場合は、FPGA が未コンフィグの状態でも制御できます。

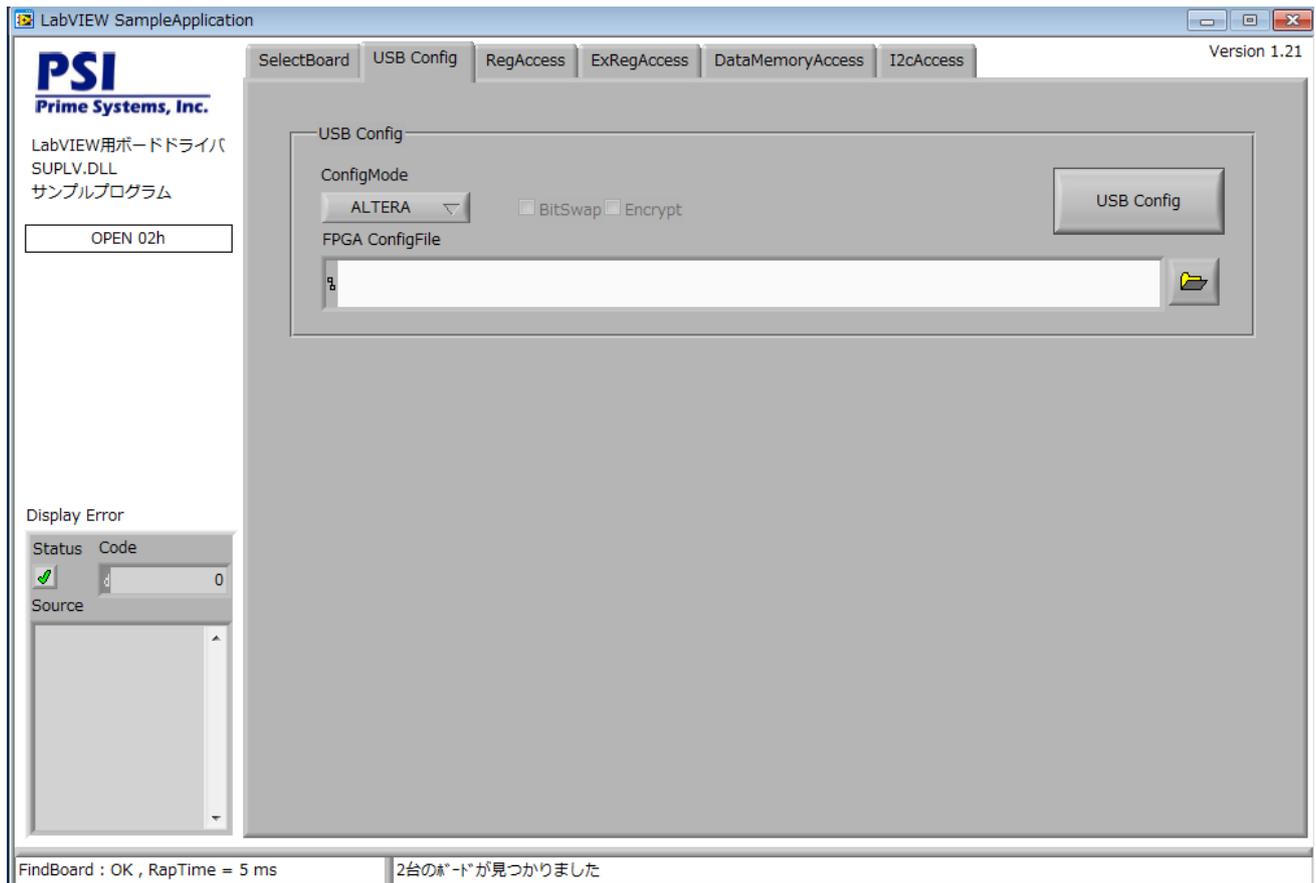
[ Find Board ] ボタンをクリックすると、レジスタ No.3 を読み出しますが、FPGA が未コンフィグなので All" F" が読み出せます。PC に 1 台しか接続していないので、インデックス値は不問になります。



<図 3. 1 台のボード制御>

## 2. USB コンフィグ制御

前項ボードの複数台制御では、コンフィグ ROM から FPGA を起動することが前提でした。この状態で制御を行いたいボードを選択後、新たに USB 経由で FPGA をコンフィグすることができます。PC がボードを認識する際に必要なコンフィグデータ（コンフィグ ROM にプログラムしたデータ）と、認識後に USB コンフィグするデータを分けて利用することもできます。

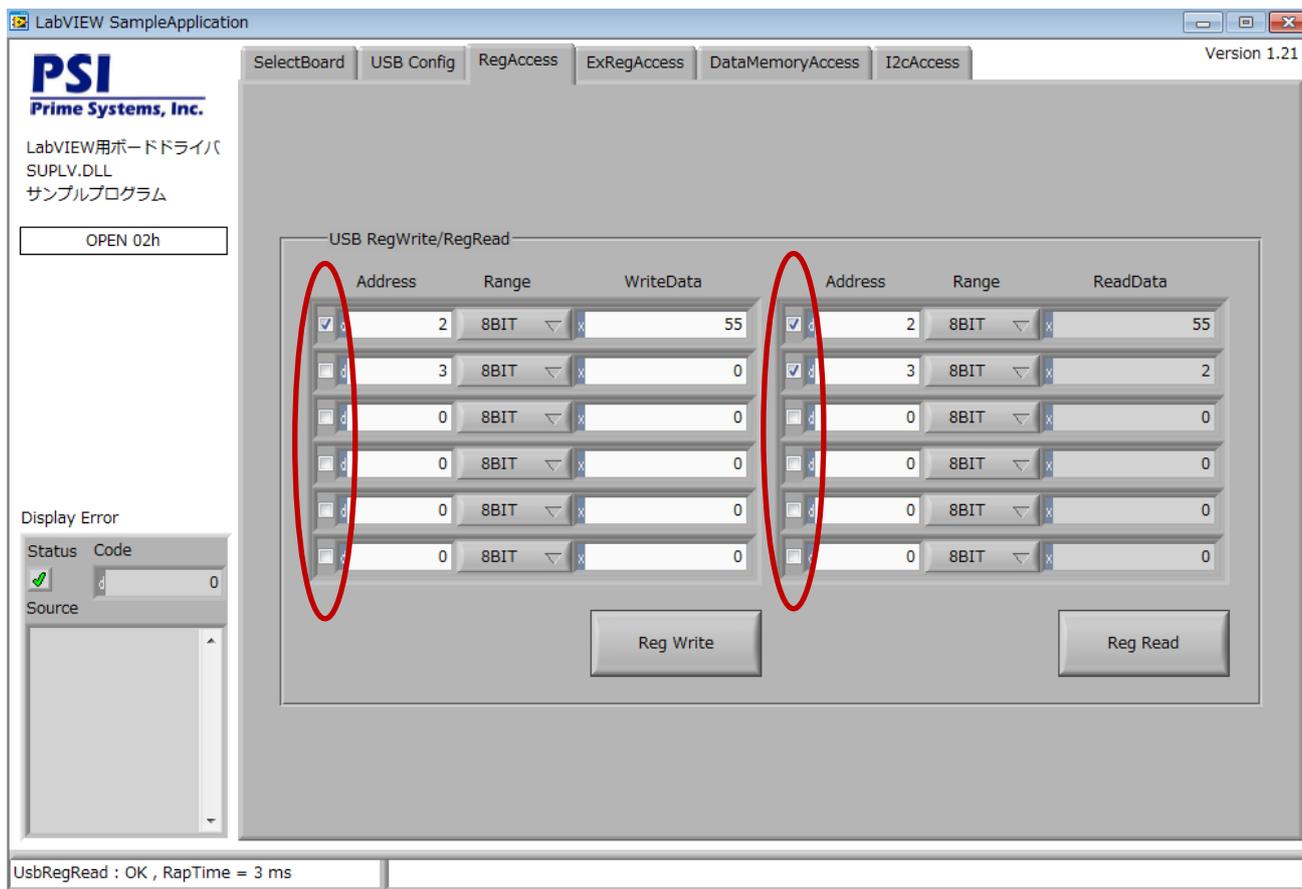


<図 4. USB コンフィグ>

USB コンフィグでは、ConfigMode のプルダウンメニューで、ALTERA か XILINX を選択します。SX-Card6 に搭載する Xilinx デバイスのみ、BitSwap オプションをオンにしてください。また、暗号化機能を利用している場合には、Encrypt オプションもオンにしてください。

### 3. レジスタ制御

FPGA コンフィグが完了し、ボードの選択画面で選択したボードに対してレジスタ制御の操作ができます。FPGA 内には、ハードウェアレジスタが実装されている前提です。ここで制御できる FPGA 回路はアプリケーションノート SUA003 ([UBS インタフェース・プロトコルの概要](#)) で示したレジスタ制御方法が対象です。



<図 5. レジスタアクセス制御>

レジスタライトの場合：

図 5 で示す Address 指定欄に、制御したいレジスタ番号(decimal)を記入し、WriteData 欄に書き込みたいデータ (Hex) を指定して Reg Write ボタンをクリックします。

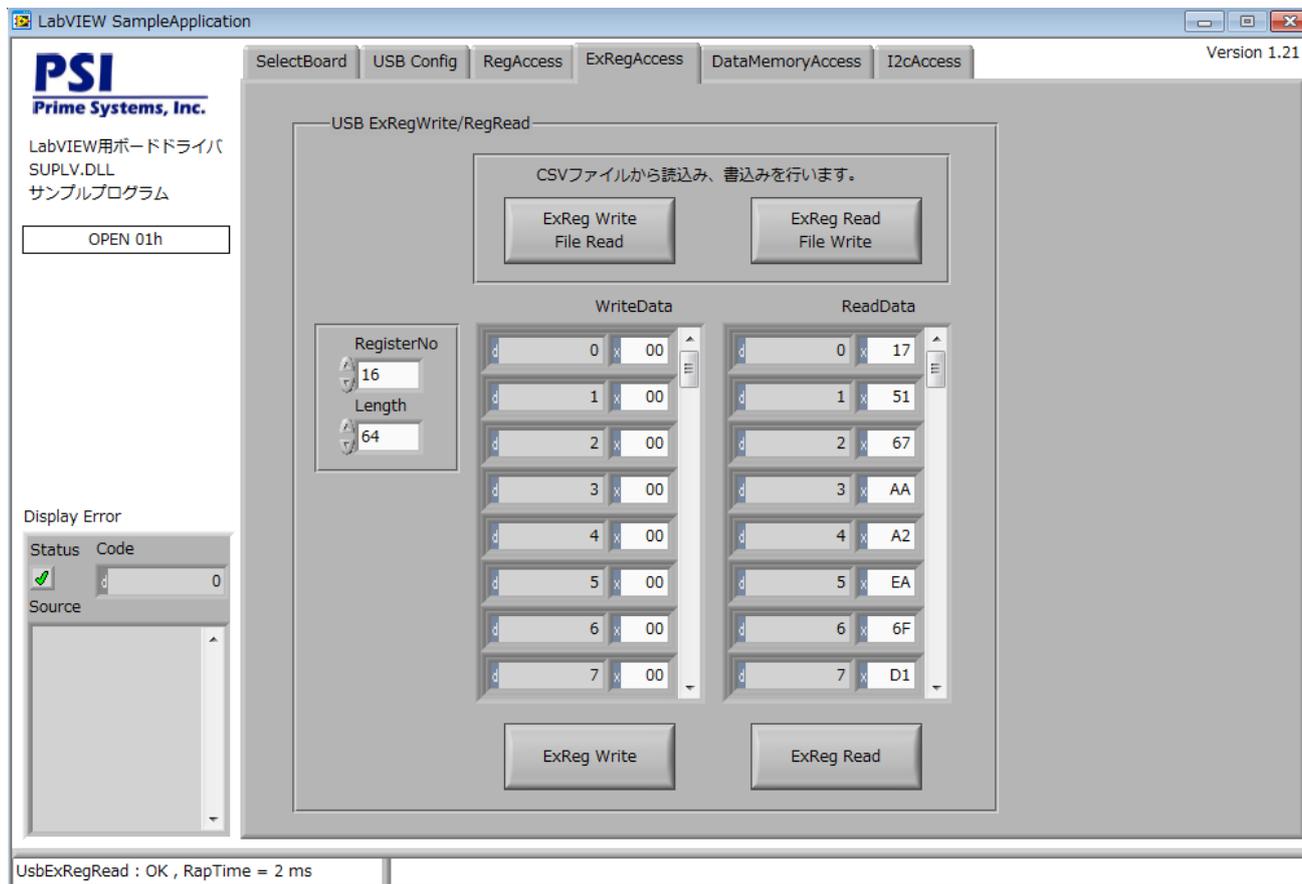
レジスタリードの場合：

図 5 で示す Address 指定欄に、制御したいレジスタ番号(decimal)を記入し、Reg Read ボタンをクリックします。読み出された結果が ReadData 欄に表示(hex)されます。

赤枠で囲んだチェックボックスをオンにすることで、該当アドレス No.に対して Write/Read を行います。図 5 の例では、Reg Read 時、レジスタ 2 と 3 が連続して読み出されます。この画面ですべてチェックボックスをオンにすると、6 個のレジスタを連続して Write または Read することができます。

#### 4. 拡張レジスタ制御

FPGA コンフィグが完了し、ボードの選択画面で選択したボードに対してレジスタ制御の操作ができます。FPGA 内には、ハードウェアレジスタが実装されている前提です。ここで制御できる FPGA 回路はアプリケーションノート SUA011 ([レジスタアクセスの拡張機能](#)) で示したレジスタ制御方法が対象です。

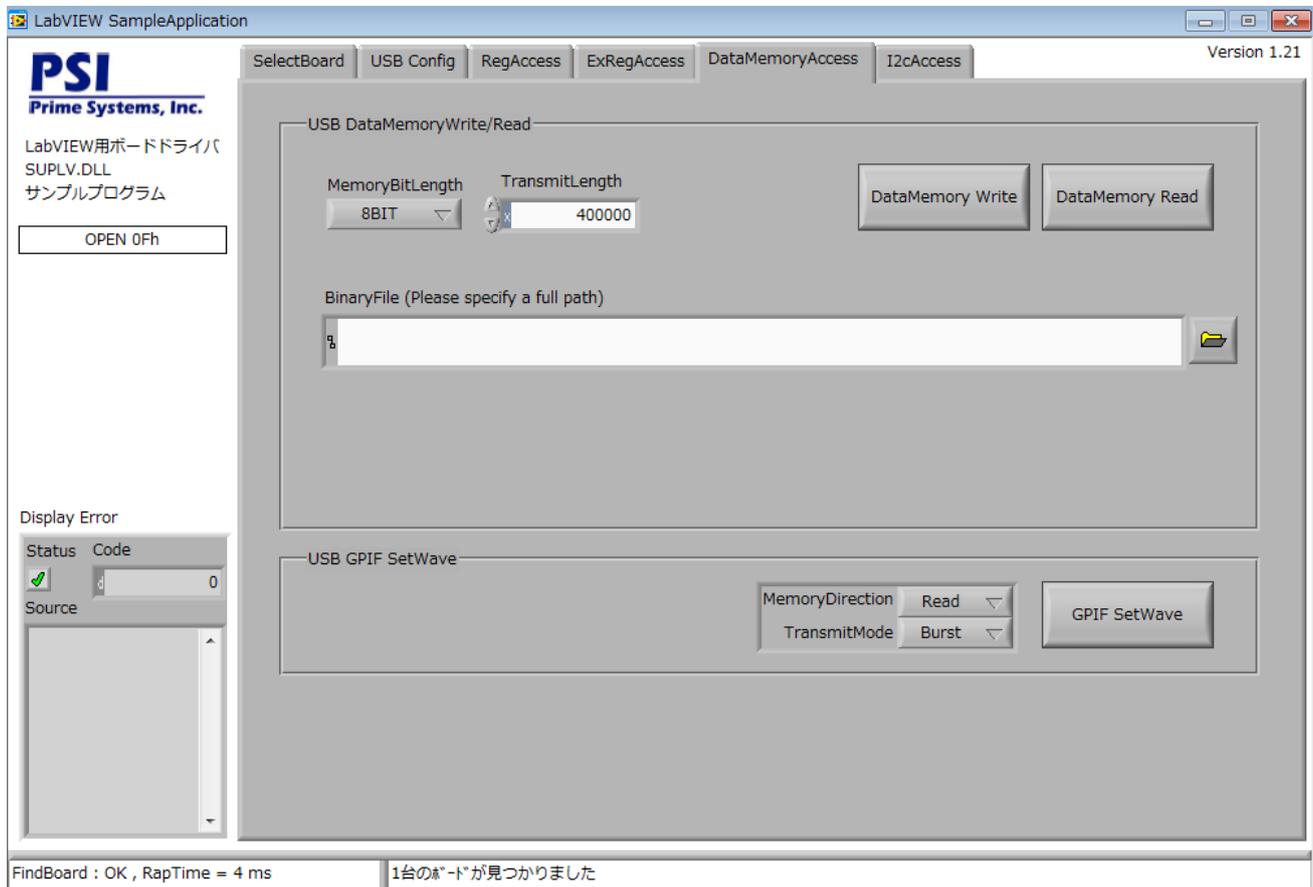


<図 6. 拡張レジスタアクセス制御>

拡張レジスタアクセスでは、最大 64 バイトのデータを一括転送できます。ExRegAccess 画面からレジスタ No.と転送長を指定し、ExReg Write または ExReg Read をクリックすることで、画面上でデータの Write/Read ができます。図 6 の例では、レジスタ No.16 に対して 64 バイトの一括読み出しを行っています。読み出したデータは、ExReg Read File Write ボタンをクリックすることにより、csv ファイル化ができます。データを Write する場合は、csv ファイルを読み込み後、ExReg Write ボタンをクリックしてボードにデータ書き込みができます。画面上で書き込みデータを設定することもできます。

## 5. データアクセス機能

FPGA コンフィグが完了し、ボードの選択画面で選択したボードに対してレジスタ制御の操作ができます。FPGA 内には、メモリアクセス機能が実装されている前提です。



<図7. メモリアクセス制御>

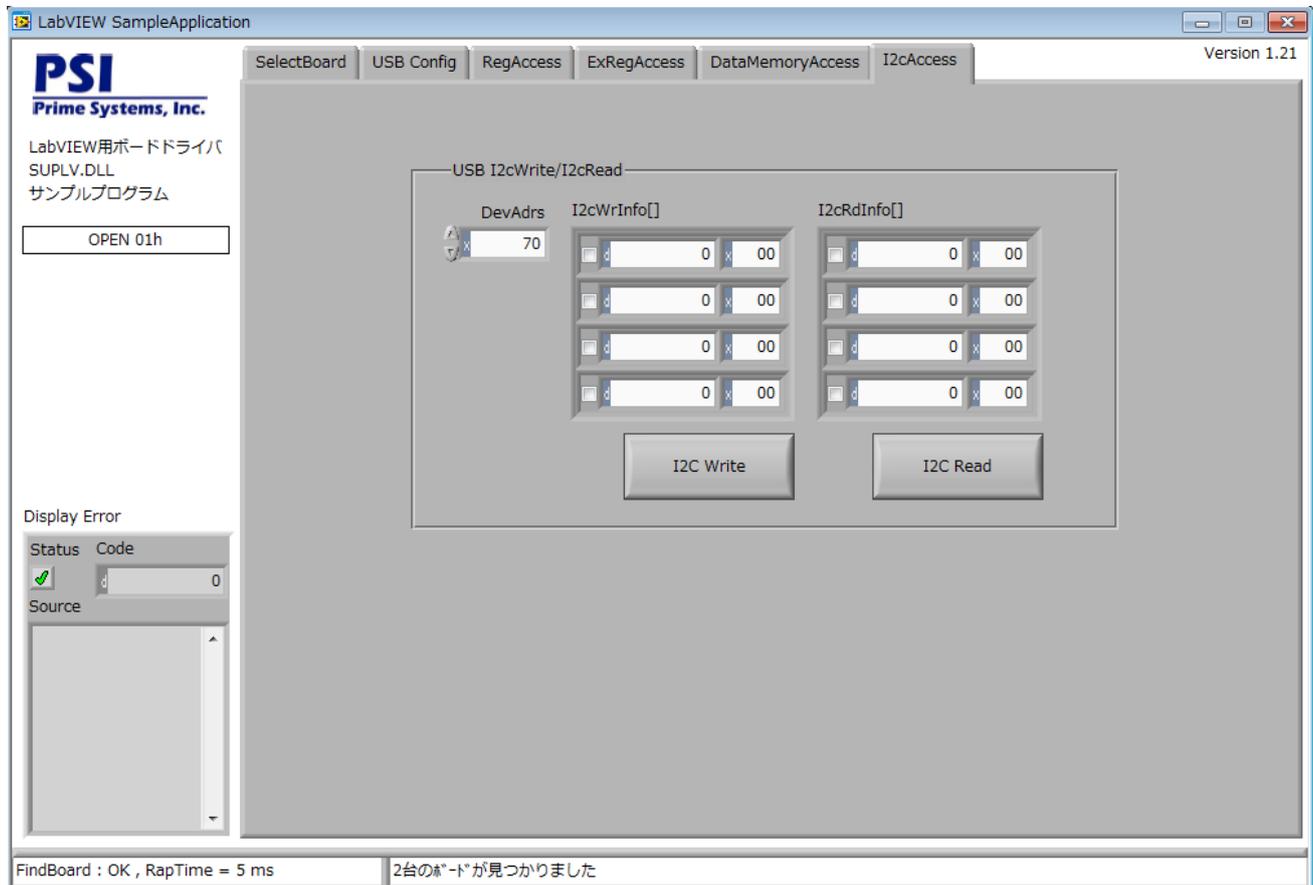
バイナリファイルを指定して、ボードへ書き込みまたはボードから読み出しができます。その際、データ転送量を TransmitLength で指定してください。

MemoryBitLength はデフォルトの 8bit です。制御ソフトウェアをカスタマイズする場合、ソフト側で処理するデータ区切りを指定できます。このサンプル制御ソフトでは 8bit です。

USB GPIF SetWave は、アプリケーションノート SUA005 ([1word ハンドシェイク通信の概要](#)) で示した FPGA 回路に対して設定するパラメータです。通常はデフォルトの Burst です。

## 6. I2C 制御機能

この機能は FPGA 回路に依存しません。USB 制御 IC が備える I2C 制御ポートを直接制御できます。

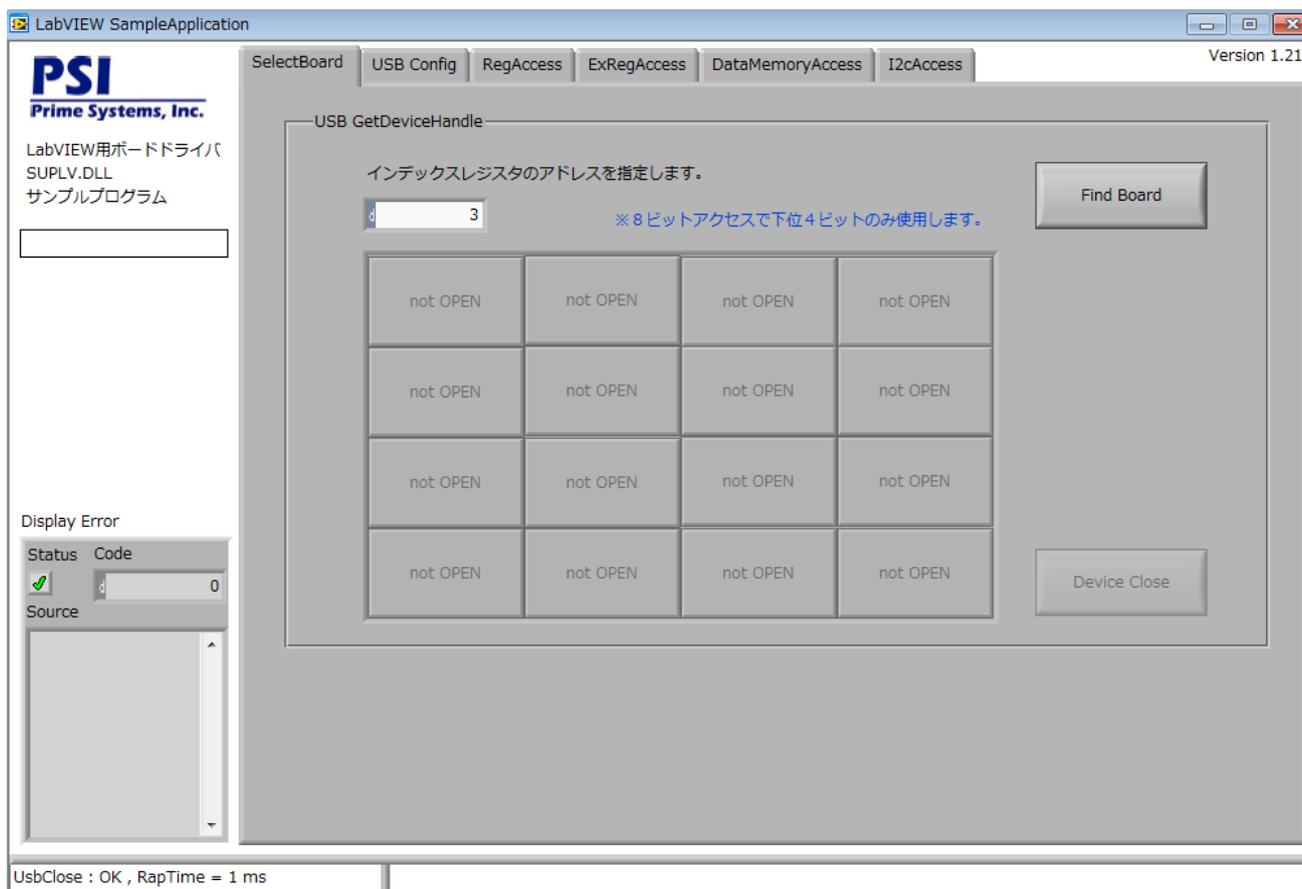


<図 8. I2C 制御>

第 3 項レジスタ制御で示したように、レジスタ制御欄の左にあるチェックボックスをオンに設定したレジスタに対してアクセスします。I2C Write または I2C Read は最大 4 個のアドレスに対して連続アクセスができます。I2C デバイスアドレスは 7bit モードのみ対応しています。

## 7. 制御のポイント

この制御ソフトでは USB デバイスの自動認識ができません。 PC とボードを USB ケーブルで接続後に「Find Board」ボタンをクリックする必要があります。 また、ボードを PC から取り外したときや、ボードのリセットスイッチを押した時、各アクセス制御が失敗したときには、「Device Close」ボタンをクリックしてください。この Device Close をクリックすると、PC に接続しているすべてのボードの USB クローズ処理を行います。 制御を再開するには、再度「Find Board」をクリックして、制御したいボードを選択してください。



〈図9. デバイスクローズ〉

Device Close をクリックすると、制御ソフトウェア起動時の状態に戻ります。 複数台のボード制御を行っている場合、1 台だけボードのリセットを行った場合でも、Device Close をクリックしてください。再度 Find Board を行っても、リセットを行っていないボードに対しては、Device Close をクリックする前の状態のまま制御を継続できます。